

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63055627 A**(43) Date of publication of application: **10.03.88**

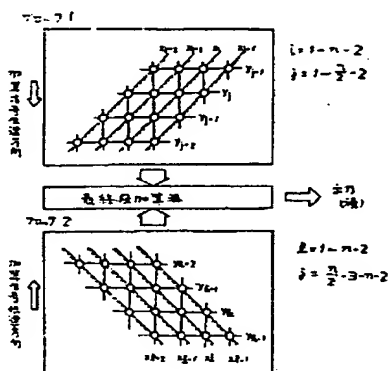
(51) Int. Cl.

G06F 7/52(21) Application number: **61198911**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **27.08.86**(72) Inventor: **OWAKI YUKITO****(54) SEMICONDUCTOR LOGIC ARITHMETIC UNIT****(57) Abstract:**

PURPOSE: To eliminate increase of the wiring delay and to increase the arithmetic speed of a multiplier which gives the N-fold parallel addition to the addition of the same digits of a partial product, by dividing two parts where the same digits are added into N blocks.

CONSTITUTION: An addition part of a partial product includes a block 1 of a digit $i=1Wn/2$ of a multiplicand and a digit $j=1Wn/2-2$ of a multiplier, and a block 2 of a digit $l=1Wn/2$ of multiplicand and a digit $j=n/2-3Wn/2$ of a multiplier. The addition is carried out by $n/2$ times at the n -th digit of a product in the block 1; while the addition is carried out by $n/2$ times at the n -th digit of a product in the block 2 respectively. The additions can be carried out simultaneously and in parallel with each other, and furthermore the addition signals are supplied to an approximate adder of the final stage set a position right under each block. Thus the wiring delay is minimized. The circle marks show the full adders including the partial product producers, thick solid lines show sum signals, and dotted lines show carry signals respectively.

COPYRIGHT: (C)1988,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-55627

⑤ Int. Cl.⁴

G 06 F 7/52

識別記号

3 1 0

庁内整理番号

M-8320-5B

④ 公開 昭和63年(1988)3月10日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 半導体論理演算装置

⑭ 特 願 昭61-198911

⑮ 出 願 昭61(1986)8月27日

⑯ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑰ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑱ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体論理演算装置

2. 特許請求の範囲

キャリーセーブ方式を用い、かつ部分積の同一桁の加算をn並に並列加算する乗算器であって、少なくとも同一桁の加算をする部分を2つからN迄のブロックに分割配置して構成したことを特徴とする半導体論理演算装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、半導体論理演算装置特に乗算器の演算速度のレイアウトによる高速化に関する。

(従来の技術)

乗算は演算の基本的要素であり、半導体論理演算装置として乗算器は単体としても、又各種半導体マイクロコンピュータの一切成ブロックとしても広く使用されている。近年、乗算器のビット数は8ビットから16、32ビットと増大しており、こ

れに伴い乗算器の演算速度向上に対する市場の要求も大きい。乗算器の高速化の手法としては、従来より多くの考案がなされている。(参考、日経エレクトロニクス「LIS化が進む並列演算方式による乗算器の回路方式を見る」1978.5.月号)

高速化に対する極めて有効な手段として、各桁ごとに並列である加算経路をさらに各桁内で並列に加算する手法が開発された。(ISSCC'84 DIGEST OF TECHNICAL PAPERS PP92「A CMOS/SOS Multiplier」)

この方式を図を用いて解説すると、第5図に示すように、 x_i 及び y_j をそれぞれ乗数及び被乗数のi桁目及びj桁目を示すとすると、 (x_{i+1}, y_{j-1}) の交点で生成された部分積と (x_{i+1}, y_j) の交点で生成された部分積と (x_{i+1}, y_{j+1}) は同じ桁に属する部分積となる。

従来はそれを第5図の(a)のようにパターン配置し、 (x_{i+1}, y_{j-1}) と (x_{i+1}, y_{j+1}) を加算する経路と (x_{i+1}, y_j) を加算する経路とを並列に設け部分積の加算の所数を第5図の(b)の並

列でないものに対して減少させ加算の高速化を行っている。

この桁内並列加算方式は、ブースのアルゴリズムを用いて部分積の数を減らした場合にも当然応用できる。

(発明が解決しようとする問題点)

この桁内並列加算方式は有効な手法であるが、第5図の(a)のようなブロック配置を用いると(a)と(b)を比較してわかるように、ある加算器の出力は1ビット飛び越して次の次のビットに入力する為、(a)の方式では(b)の方式より2倍程度配線が長くなることがわかる。即ち配線遅延は、長さの2乗に比例するので配線遅延は(a)は(b)の～4倍となる。(a)方式は(b)方式より加算段数は桁内並列化により減少しているが、配線遅延は増大し加算段数減少の効果が十分現われない。

本発明は、この桁内並列加法方式における、配線遅延の増大をなくし乗算器の演算速度の高速化を達成することを目的とする。

(発明の構成)

線と y_j の信号線の交点では $i+j$ 桁の部分積が生成される。また、太い実線は和信号、実線は桁上り信号を示し、細い実線は乗数及び被乗数の入力信号をそれぞれ示す。例えば第1図に示すように部分積の加算部を被乗数の桁 $i=1 \sim n-2$ 乗数の桁 $j=1 \sim \frac{n}{2}-2$ のブロック1と被乗数の桁 $i=1 \sim n-2$ と乗数の桁 $j=\frac{n}{2}-3 \sim n-2$ のブロック2の2つのブロックで構成すると、例えばブロック1で積の第 n 桁目では $\frac{n}{2}$ 回の加算をし、ブロック2で積の第 n 桁目では $\frac{n}{2}$ 回の加算することになる。これらの加算は同時に並列して行なうことができ、しかも各ブロックごとに加算信号はすぐ下の近接している加算器に入力する為、配線遅延を最小とすることができる。

第2図は本発明をブースのアルゴリズムを用いた乗算器に適用した場合の実施例である。例えば2次のブースのアルゴリズムにより部分積の数は半分とすることができることが知られている。第2図ではブースのアルゴリズムで得られた部分積の同一桁のものの加算を2重に並列加算し、かつ

(問題点を解決するための手段)

本発明は部分積の同一桁の加算をN重に並列加算する乗算器において、少なくとも同一桁の加算をする部分を2つからN個のブロックにし分割配置することを特徴とする。

(作用)

部分積の同一桁の加算を2重に並列加算する乗算器において、同一桁の加算をするブロックを2つに分割することにより、従来の同一桁加算2重化従来の場合と比較して和信号線、桁上り信号線の配線長が $\frac{1}{2}$ となる。この為配線遅延は $\frac{1}{2} \times \frac{1}{2} = \frac{1}{4}$ と $\frac{1}{4}$ となる。

これにより、乗算器の演算速度は大きく向上する。

(実施例)

図を用いて本発明の実施例を説明する。第1図に同一桁の加算を2重に並列加算し、そのブロックを2つに分割した例を示す。第1図中の○印は部分積生成器を含んだ全加算器を示し、 x_i は被乗数の i 桁目を、 y_j は乗数の j 桁目を示す x_i の信号

同一桁の加算を2つのブロックに分割することにより加算信号の配線遅延を最小としている。

第1図及び第2図はそれぞれ同一桁の部分積の加算を2重に並列処理した実施例を示したが、これは2重に限らずN重に容易に拡張され得る。又同一桁の加算をN重に処理する場合には、ブロックの分割は2からN重まで選択の余地がある。

第3図に同一桁の加算を4重に処理しブロックを4つに分割した場合を、第4図に同一桁の加算を4重に処理しブロックを2つに分割した場合を示す。

(発明の効果)

本発明のように同一桁の加算する部分を複数のブロックに分割配置することにより、和信号線、桁上り信号線の配線長を小さくできるため、配線遅延を最小にできる。

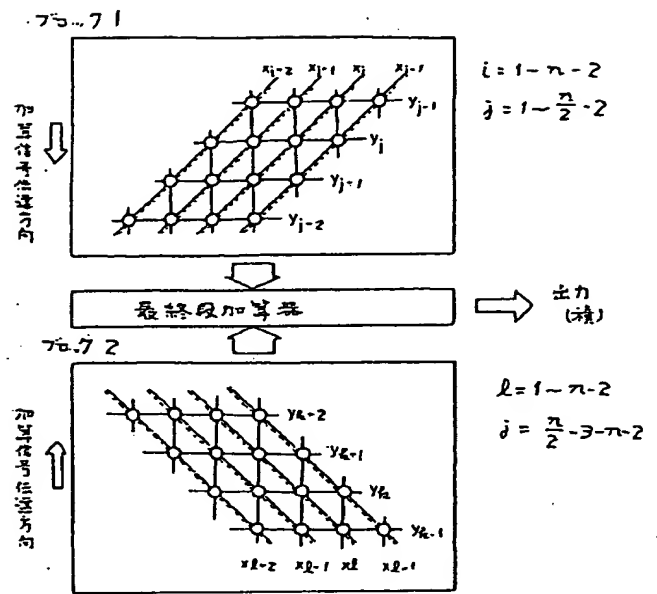
4. 図面の簡単な説明

第1図は x_i として被乗数の i 桁目を、 y_j として乗数の j 桁目を示す本発明の構成図、第2図はブースのアルゴリズムを用いた場合の本発明の実施

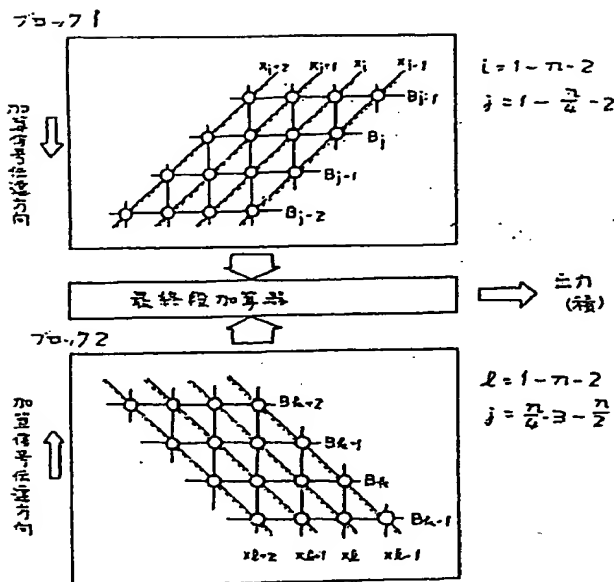
例を示す構成図、第3図は同一桁を4重に並列加算し、かつ4つのブロックに分割して配置した場合の本発明の実施例を示す構成図、第4図は同一桁を4重に並列加算し、かつ2つのブロックに分割して配置した場合の本発明の他の実施例を示す構成図、第5図は従来の乗算器レイアウト例を示す構成図である。

$x_1 \dots$ 被乗数の i 桁目、 $y_1 \dots$ 乗数の j 桁目、

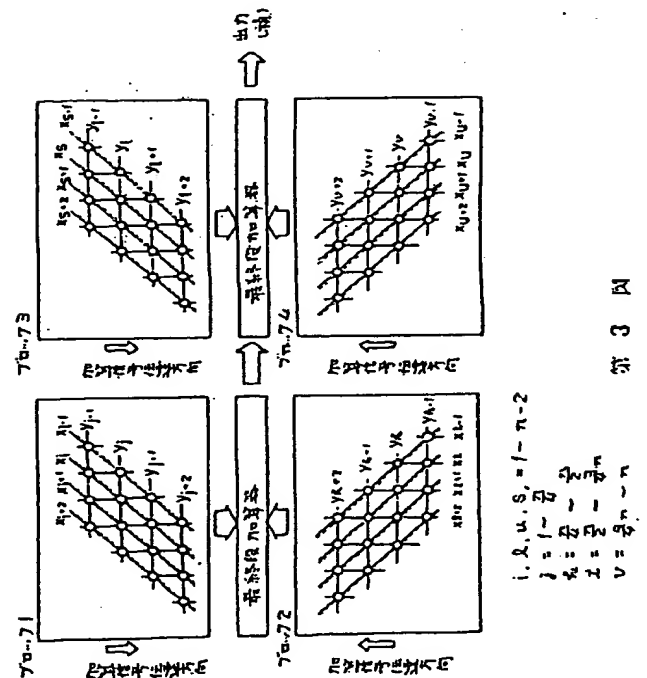
代理人 井理士 則 近 慈 佑
同 竹花 喜久男



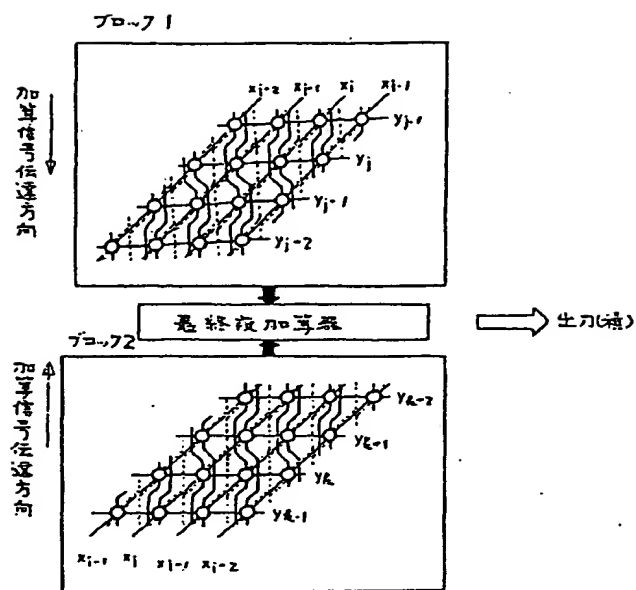
第 1 図



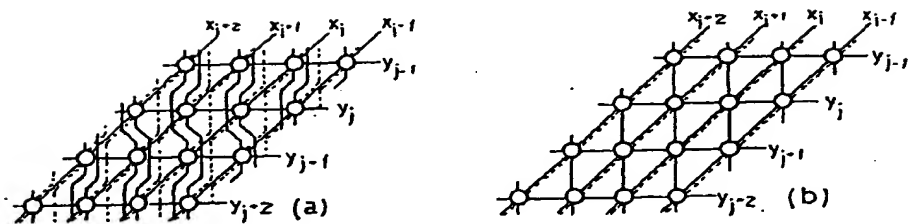
第 2 図



第 3 図



第 4 図



第 5 図